

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183289

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01G 4/33
// H01G 4/12

(21)Application number : 10-360976

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 18.12.1998

(72)Inventor : FUJIBAYASHI KATSURA

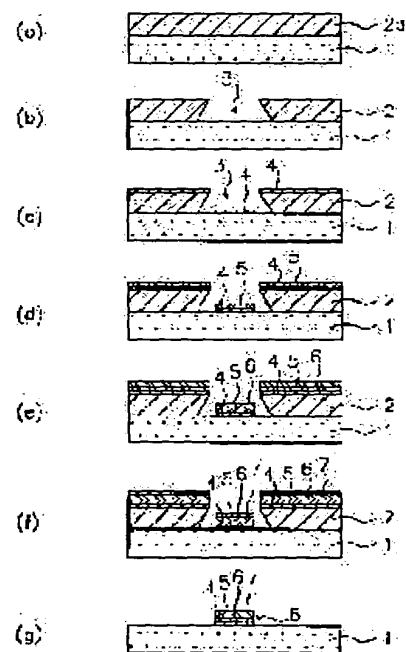
(54) CONTROL OF CHARACTERISTICS FOR DIELECTRIC ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To control electrostatic capacity seen as the desired dielectric layer of a dielectric element and the insulation properties seen as the desired dielectric layer of the element as a whole by a method, wherein the dielectric layer is formed into a laminated structure consisting of dielectric materials having more than two kinds of different specific dielectric constants, and the film thicknesses of the layers of the dielectric materials constituting the laminated structure are adjusted.

SOLUTION: A lower conductor layer 4 is formed and thereafter, as a substrate 1 is in a state in which it is installed in a vacuum without exposing the substrate 1 to the atmosphere, an Al₂O₃ layer 5 is successively

deposited with an electron beam, and moreover a TiO₂ layer 6 is deposited with an electron beam to form a dielectric layer, which consists of a dielectric material consisting of the layer 5 and a dielectric material consisting of the layer 6. Here, the specific dielectric constant of the layer 5 is $\epsilon_r=9$, the specific dielectric constant of the layer 6 is $\epsilon_v=86$, and the specific dielectric constants of the layer 5 and 6 are different from each other. As a result of this, a plurality of the dielectric materials having the different specific dielectric constants are laminated, and the respective film thicknesses of the layers 5 and 6 of the dielectric materials are adjusted, whereby it becomes possible to control the electrostatic capacity of a dielectric



element and leakage current in the element, without making the overall film thickness of the dielectric layer form so large.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183289

(P2000-183289A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl.⁷

識別記号

F I

テームト(参考)

H 0 1 L 27/04

H 0 1 L 27/04

C 5 E 0 0 1

21/822

H 0 1 G 4/12

4 1 5

5 E 0 8 2

H 0 1 G 4/33

4/06

1 0 2

5 F 0 3 8

// H 0 1 G 4/12

4 1 5

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21)出願番号

特願平10-360976

(22)出願日

平成10年12月18日(1998.12.18)

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 藤林 桂

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

Fターム(参考) 5E001 AB03 AC09 AD04 AE00 AE03

AH03 AH08 AJ01 AJ02 AZ00

5E082 AB03 BC14 EE05 EE26 EE37

FF15 FG03 FG22 FG27 FC42

KK01 LL02 MM23 MM24

5F038 AC05 AC15 AC16 AC17 EZ14

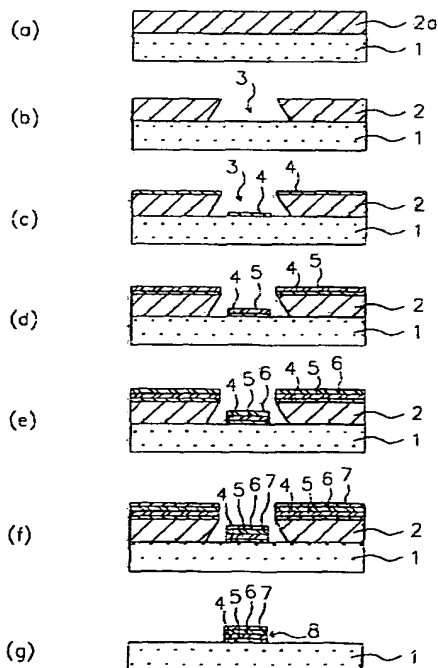
EZ15 EZ17 EZ20

(54)【発明の名称】 誘電体素子の特性制御方法

(57)【要約】

【課題】基板上に誘電体層と導体層とを積層した構造を有する誘電体素子において、誘電体層がとりうる膜厚が一定の制限を受ける場合、誘電体層の膜厚をさほど大きく変化させることなく、静電容量や絶縁性を制御する方法を提供する。

【解決手段】基板上に積層された誘電体層と導体層とを有する誘電体素子において、誘電体層を二種以上の異なる比誘電率、および異なる絶縁性を有する誘電体材料からなる積層構造にし、該積層構造を構成する各層の膜厚を調整することによって、所望の誘電体層全体として見た静電容量、および所望の誘電体層全体として見た絶縁性を得る。



【特許請求の範囲】

【請求項1】基板上に積層された誘電体層と導体層とを有する誘電体素子の特性制御方法において、誘電体層を二種以上の異なる比誘電率を有する誘電体材料からなる積層構造にし、該積層構造を構成する各層の膜厚を調整することによって、所望の誘電体層全体として見た静電容量を得ることを特徴とする、誘電体素子の特性制御方法。

【請求項2】前記誘電体層全体の膜厚が所望の値となるように、前記積層構造を構成する各層の膜厚を調整することを特徴とする、請求項1記載の誘電体素子の特性制御方法。

【請求項3】基板上に積層された誘電体層と導体層とを有する誘電体素子の特性制御方法において、誘電体層を二種以上の異なる絶縁性を有する誘電体材料からなる積層構造にし、該積層構造を構成する各層の膜厚を調整することによって、所望の誘電体層全体として見た絶縁性を得ることを特徴とする、誘電体素子の特性制御方法。

【請求項4】前記誘電体層全体の膜厚が所望の値となるように、前記積層構造を構成する各層の膜厚を調整することを特徴とする、請求項3記載の誘電体素子の特性制御方法。

【請求項5】基板上に積層された誘電体層と導体層とを有する誘電体素子の特性制御方法において、誘電体層を二種以上の異なる比誘電率、および、異なる絶縁性を有する誘電体材料からなる積層構造にし、該積層構造を構成する各層の膜厚を調整することによって、所望の誘電体層全体として見た静電容量と所望の誘電体層全体として見た絶縁性を得ることを特徴とする、誘電体素子の特性制御方法。

【請求項6】前記誘電体層全体の膜厚が所望の値となるように、前記積層構造を構成する各層の膜厚を調整することを特徴とする、請求項5記載の誘電体素子の特性制御方法。

【請求項7】前記誘電体層は、 CeO_2 、 Sm_2O_3 、 Dy_2O_3 、 Y_2O_3 、 TiO_2 、 Al_2O_3 、 MgO 、 SiO_2 、 ZrO_2 、 Ta_2O_5 のうちの少なくとも1つからなることを特徴とする、請求項1ないし6に記載の誘電体素子の特性制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体素子の特性制御方法に関するもので、特に、誘電体素子を構成する誘電体層を二種以上の誘電体材料からなる積層構造にすることによって、誘電体層全体の静電容量、および、絶縁性等を制御する方法に関するものである。

【0002】

【従来の技術】高周波伝送線路、高周波共振器、高周波容量素子などの高周波デバイスを構成する誘電体素子には、デバイスの用途に応じた静電容量や絶縁性が要求さ

2

れる。一般的に誘電体素子には、ある程度の大きさの静電容量と、良い絶縁性、すなわち低いリーク電流値が求められる。基板上に誘電体層と導体層とを積層した構造を有する、例えばMIMキャパシタのような誘電体素子では、リーク電流を低減するために、誘電体層に高絶縁体層（バリア層）を積層する方法が多く用いられる。しかし、高絶縁体層を積層すると誘電体素子全体の静電容量も変化してしまうため、この手法では静電容量の制御が困難となる。

【0003】そのため、高絶縁体層を積層することなくリーク電流を低減し、所望の静電容量を得るために、誘電体層として用いる誘電体材料の膜厚を調整することによって静電容量やリーク電流を制御する方法が取られている。この手法を用いて、静電容量やリーク電流の値を制御するためには、誘電体層が、比較的容易に薄膜化または厚膜化を行いうる（すなわち、膜厚の調整を容易に行いうる）ものである必要がある。

【0004】

【発明が解決しようとする課題】ところで、上記のような基板上に誘電体層と導体層とを積層した構造を有する誘電体素子を形成する場合、一般的に、配線の幅に対する高さの比、即ち、アスペクト比には限界がある。たとえば、リフトオフ法により、ライン/スペースが $2\mu\text{m}$ のパターニングを行う場合では、レジストの感光性等の問題から、アスペクト比は3程度が限界であり、誘電体層と導体層の膜厚の合計が $6\mu\text{m}$ を超えることができない。一般に、導体層は、膜厚が厚いほど損失が少ないため、導体層は厚いほど良い。誘電体層と導体層の膜厚の合計には上記のように制限があるため、損失を減らすために導体層を厚く形成しようとするれば、その分誘電体層は薄く形成せざるをえなくなる。一方、誘電体層は薄くなるほど膜欠陥等の影響が顕著となり、ショート不良を起こしやすくなる。したがって、誘電体層にはある程度の膜厚が必要となる。

【0005】以上のように、誘電体層がとりうる膜厚が一定の制限を受ける場合、誘電体層の膜厚を調整することによって静電容量やリーク電流を制御する本手法を採用することは困難である。

【0006】

【課題を解決するための手段】この発明は、上述の技術的課題を解決するため、次のような構成を備えることを特徴とする。すなわち、本発明は、基板上に積層された誘電体層と導体層とを有する誘電体素子の特性制御方法において、誘電体層を二種以上の異なる比誘電率、および、異なる絶縁性を有する誘電体材料からなる積層構造にし、該積層構造を構成する各層の膜厚を調整することによって、所望の誘電体層全体として見た静電容量と所望の誘電体層全体として見た絶縁性を得ることを特徴とする。

【0007】これにより、異なる比誘電率、絶縁性を有

3

する複数の誘電体材料を積層し、それぞれの膜厚を調整することによって、誘電体層全体の膜厚をさほど大きく変化させることなく、静電容量およびリーク電流を制御することが可能となる。また、高絶縁体層（バリア層）を積層することなく、リーク電流の低減が図られるため、誘電体素子全体の静電容量が変化することもない。

【0008】さらに、本発明における誘電体層は、 CeO_2 、 Sm_2O_3 、 Dy_2O_3 、 Y_2O_3 、 TiO_2 、 Al_2O_3 、 MgO 、 SiO_2 、 ZrO_2 、 Ta_2O_5 のうちの少なくとも1つからなることを特徴とする。これらの材料は、室温蒸着でも低損失誘電体薄膜を成膜することができるためである。

【0009】

【発明の実施の形態】（実施例1）本発明の一実施形態の誘電体素子として、MIMキャパシタを形成し、その静電容量を制御する場合を図1を用いて説明する。まず、図1（a）（b）に示すように、直径7.62cmのセラミック基板1上に膜厚が5 μm となるようにフォトリソグロフィにより当該フォトリソグロフィをパターンニングし、一辺が50 μm の開口部3を有するレジストパターン2を形成する。このとき、リフトオフ可能な逆テーパー形状となるようにレジストパターンのリソグロフィ条件を設定する。

【0010】ついで、図1（c）に示すように、このレジストパターン2の形成された基板1を蒸着装置の真空蒸着槽内に納め、基板を加熱することなく、レジストパターン2をマスクとして、接着層であるTiを50nmの膜厚に電子ビーム蒸着し、つづけてCuを300nmの膜厚に電子ビーム蒸着して下部の導体層（下部電極）4を形成する。この時の基板温度は80℃程度である。ただし、Cuの膜厚を厚くする場合には、基板温度が上がってレジストパターンの耐熱性の限界（150℃）を超えるので、この場合には基板ホルダーに流した冷却水等によって基板を冷却し、基板温度を150℃以下に保つ必要がある。

【0011】こうして下部の導体層4が形成されると、図1（d）（e）に示すように、基板1を大気に晒すことなく真空中に設置したまま（つまり、基板を真空蒸着槽から取り出すことなく）、ひきつづき Al_2O_3 を電子ビーム蒸着し、さらに TiO_2 を電子ビーム蒸着して、 Al_2O_3 層5および TiO_2 層6の誘電体材料からなる誘電体層を形成する。ここで、 Al_2O_3 の比誘電率は $\epsilon_r=9$ 、リーク電流（印加電圧が1MV/cmの場合）は $1\text{E}-7$ （A/cm²）であり、 TiO_2 の比誘電率は $\epsilon_r=86$ 、リーク電流（印加電圧が1MV/cmの場合）は $1\text{E}-3$ （A/cm²）以上である。また、この時の基板温度は80℃程度である。ただし、 Al_2O_3 や TiO_2 の膜厚を厚くする場合には、基板温度が上がってレジストパターンの耐熱性の限界（150℃）を超えるので、この場合には基板ホルダーに流した冷却水等に

4

よって基板を冷却し、基板温度を150℃以下に保つ必要がある。

【0012】同様に、図1（f）に示すように、基板1を大気に晒すことなく真空蒸着槽内に保ったまま、 TiO_2 層6の上にCuを300nmの膜厚に電子ビーム蒸着して上部の導体層（上部電極）7を形成する。この時の基板温度は80℃程度である。ただし、Cuの膜厚を厚くする場合には、基板温度が上がってレジストパターンの耐熱性の限界（150℃）を超えるので、この場合には基板ホルダーに流した冷却水等によって基板を冷却し、基板温度を150℃以下に保つ必要がある。

【0013】この後、基板1を真空蒸着槽から取り出し、基板1をアセトンに浸漬して超音波を印加する。これにより、レジストパターン上に堆積した不要なCu/ TiO_2 / Al_2O_3 /Cu/ Ti がレジストパターンとともにリフトオフ除去される。この結果、積層された誘電体層（ TiO_2 / Al_2O_3 ）の上下両面に導体層を有するMIMキャパシタ8が完成する（図1（g））。

【0014】本実施例にしたがって、 TiO_2 層をXnm、 Al_2O_3 層を（200-X）nm、すなわち、誘電体層（ TiO_2 / Al_2O_3 ）の膜厚の合計を200nmとした試料を複数個形成し、その静電容量をそれぞれ測定した。測定結果は、図2に示す。なお、電極面積は $1\times 10^{-8}\text{m}^2$ として測定した。

【0015】図2に示すように、誘電体層全体の厚さを一定に保ったまま、 TiO_2 層と Al_2O_3 層の厚さをそれぞれ変化させることによって、静電容量を変化させることができた。このように、 TiO_2 層と Al_2O_3 層の膜厚を適当な値に選択することによって、所望の静電容量を有する誘電体層を得ることができる。

【0016】（実施例2）本発明の別の実施形態の誘電体素子として、MIMキャパシタを形成し、そのリーク電流、すなわち絶縁性を制御する場合を説明する。

【0017】実施例1のMIMキャパシタの形成方法において、 Al_2O_3 の代わりに Y_2O_3 を TiO_2 の代わりに Al_2O_3 を蒸着し、誘電体層を形成する。ここで、 Y_2O_3 の比誘電率は $\epsilon_r=10$ 、リーク電流（印加電圧が1MV/cmの場合）は $5\text{E}-5$ （A/cm²）であり、 Al_2O_3 の比誘電率は $\epsilon_r=9$ 、リーク電流（印加電圧が1MV/cmの場合）は $1\text{E}-7$ （A/cm²）である。他の工程は、実施例1の場合と同様に行う。

【0018】本実施例にしたがって、 Al_2O_3 層をYnm、 Y_2O_3 層を（200-Y）nm、すなわち、誘電体層（ Al_2O_3 / Y_2O_3 ）の膜厚の合計を200nmとした試料を複数個形成し、そのリーク電流値を測定した。測定結果を、図3に示す。なお、測定時の印加電圧は1MV/cmとした。

【0019】図3に示すように、誘電体層全体の厚さを一定に保ったまま、 Al_2O_3 層と Y_2O_3 層の厚さをそれぞれ変化させることによって、リーク電流値を変化させ

5

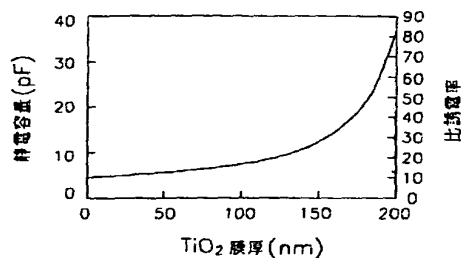
ることができた。このように、 Al_2O_3 層と Y_2O_3 層の膜厚を適当な値に選択することによって、所望のリーク電流値を有する誘電体層を得ることができる。また、高絶縁体層を積層することなく、リーク電流の低減が図られるため、誘電体素子の静電容量の制御が困難となることもない。

【0020】以上の実施例において、誘電体薄膜は電子ビーム蒸着で形成したが、抵抗加熱蒸着や高周波誘導加熱蒸着によっても形成することができる。また、このような蒸着法に限られず、スパッタリング法やプラズマCVD法等を用いて誘電体薄膜を形成してもよい。

【0021】また、以上の実施例において、誘電体材料としては TiO_2 、 Al_2O_3 、および、 Y_2O_3 を用いたが、これらの材料は、室温蒸着でも低損失誘電体薄膜を形成することができるためである。なお、誘電体層は2層の場合に限らず、3層以上であってもよい。また、室温蒸着でも低損失誘電体薄膜を成膜することができる材料としては、 TiO_2 、 Al_2O_3 、 Y_2O_3 以外に CeO_2 、 Sm_2O_3 、 Dy_2O_3 、 MgO 、 SiO_2 、 ZrO_2 、 Ta_2O_5 等が挙げられる。さらに本発明は、蒸着法だけでなくスパッタリング法やプラズマCVD法を用いて誘電体薄膜を形成する場合にも適用できるため、誘電体材料は上記列挙のものに限ることなく、酸化物、窒化物、弗化物の一般的な誘電体材料から選ぶことができる。

【0022】また、以上の実施例においては、MIMキャパシタを形成する場合を示したが、これらの実施例は、高周波伝送線路や高周波共振器等を形成する場合についても適用できる。さらに、これらの実施例は、微細な多層電極構造等を形成する場合に、特に有利に適用で

【図2】



6

きる。

【0023】

【発明の効果】本発明は、異なる比誘電率、絶縁性を有する複数の誘電体材料を積層し、それぞれの膜厚を変化させることによって、誘電体層全体の膜厚をさほど大きく変化させることなく、誘電体層全体として見た静電容量および誘電体層全体として見た絶縁性を制御することを可能とする。また、高絶縁体層（バリア層）を積層することなく、リーク電流の低減を図ることができるため、誘電体素子の静電容量の制御が困難となることもない。

【0024】このように、本発明においては、誘電体層全体の膜厚をさほど大きく変化させることなく静電容量や絶縁性を制御することができる。したがって、本発明は、微細な多層電極構造を形成する場合等のように、誘電体層の膜厚に制限が生じる場合に特に有利に適用することができる。

【図面の簡単な説明】

【図1】(a) (b) (c) (d) (e) (f) (g) は、本発明の一実施形態による誘電体素子の形成方法を示す断面図である。

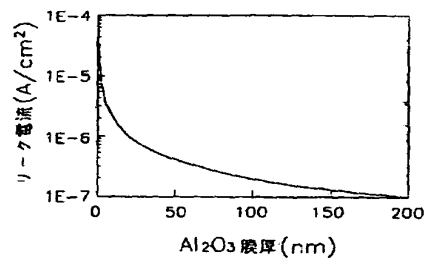
【図2】誘電体素子の静電容量特性を示す図である。

【図3】誘電体素子のリーク電流特性を示す図である。

【符号の説明】

- 1 基板
- 2 レジストパターン
- 4 導体層
- 5 誘電体層
- 6 誘電体層
- 7 導体層

【図3】



【図1】

